

Abstract

The data lines have a double-lined structure to prevent the line defect of the pixels in the thin film transistor array panel having the pixel arrangement with delta type. The data lines are formed with times of the number of pixel row, and have a line shape. Each pixel is divided into two sub pixels by the data line passing at the center of the pixel and a pair of the data lines is connected to each other through the connection bars which are arranged in row unit. The sub pixels between two connected data lines is supplied with the image signals through the thin film transistors connected to two connected data lines or the connection bars, and the sub pixels outside two connected data lines is switched through the thin film transistors alternately connected to the data lines to left and right sides. So, the pixel arrangement with delta type that the pixels of each row pixel deviate from each other by half pitch is completed. In the thin film transistor including a pair of data lines, one connection bars is at least disposed between two sub pixels, and two sub pixels are electrically connected to each other, such that the line defect of the pixels may be prevented. The present invention is all adapted to the cases of the double data lines with the general structure or delta type.

공개특허특1999-026575

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
G02F 1/13
G02F 1/136(11) 공개번호 특1999-026575
(43) 공개일자 1999년04월15일(21) 출원번호 특1997-048774
(22) 출원일자 1997년09월25일(71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 배병성
경기도 수원시 장안구 송죽동 선경아트빌 101동 203호
(74) 대리인 김원호
최현석

심사청구 : 없음

(54) 화소 결합 구제 구조를 갖는 액정 표시 장치용 박막 트랜지스터기판

요약

델타 구조의 화소 배열을 갖는 박막 트랜지스터 기판에서 데이터선을 이중으로 형성하여 화소의 선결함을 구제한다. 행 단위로 요구되는 화소 수의 2배의 데이터선을 직선으로 형성하여 하나의 화소가 화소의 중심을 지나가는 데이터선에 의해 두 개의 부화소로 나뉘어지도록 한 후, 데이터선을 두 개씩 짝을 지어 행 단위로 하나씩 연결 막대를 형성하고, 이를 통해 두 데이터선을 연결한다. 연결되어 있는 두 데이터선 사이의 부화소들은 연결되어 있는 두 데이터선 또는 연결 막대에 연결되어 있는 박막 트랜지스터를 통해 화상 신호를 전달받고, 쌍을 이루는 두 데이터선 바깥쪽의 부화소들은 데이터선을 따라 왼쪽과 오른쪽으로 교대로 연결된 박막 트랜지스터에 의해 스위칭되도록 하면, 각 행의 화소가 반 피치씩 어긋나는 화소 배열을 갖는 델타 구조를 형성하게 된다.

이중 데이터선을 갖는 박막 트랜지스터에서 두 개의 부화소 전극 사이에 1개 이상의 연결 부위를 형성하여 두 부화소 전극을 전기적으로 연결하여 화소의 점결함을 구제한다. 일반적인 이중 데이터선을 갖는 경우나 델타 구조의 이중 데이터선을 갖는 경우 모두 적용 가능하다.

대표도

도7

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 델타 구조의 화소 배열을 갖는 액정 표시 장치용 박막 트랜지스터 기판의 평면도이고,
도 2는 본 발명의 첫 번째 실시예에 따른 박막 트랜지스터 기판의 평면도이고,
도 3은 본 발명의 두 번째 실시예에 따른 박막 트랜지스터 기판의 평면도이고,
도 4는 도 3의 IV - IV'선을 따라 도시한 단면도이고,
도 5는 도 3의 박막 트랜지스터 부분의 확대도이고,
도 6은 본 발명의 두 번째 실시예에서 게이트 금속으로 연결 부위를 형성한 경우를 나타내는 단면도이고,
도 7은 본 발명의 세 번째 실시예에 따른 박막 트랜지스터 기판의 평면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

이 발명은 화소 결함 구제 구조를 갖는 박막 트랜지스터 액정 표시 장치에 관한 것이다.

박막 트랜지스터 액정 표시 장치(TFT-LCD ; thin film transistor)의 시장 확대를 위해서는 장치의 가격을 낮추는 것이 필요하며 이를 위해서는 원가의 절감이 요구된다. 원가를 낮출 수 있는 한 가지 방법은 액정 표시 장치 패널의 제작 수율을 높이는 것이다. 현재 박막 트랜지스터 액정 표시 장치는 점결함만을 허용하고 있으며, 그 허용 개수도 점점 줄어들어 5개 이하 혹은 무결점을 요구하고 있다.

화소의 결함이 발생하는 원인은 여러 가지가 있는데, 그 중 데이터선이나 게이트선에서의 단선은 선결함을 일으키게 되어 큰 문제가 된다. 이 단선을 줄이기 위한 방법으로 수리선(repair line)을 설치하여 단선이 있을 때 이 수리선을 이용하여 단선을 구제하는 방법, 끊어진 부분을 직접 금속 배선을 부분 형성하여 연결하는 방법 등이 제시되어 사용되고 있으나, 이러한 방법들은 결국 결함의 구제를 위하여 별도의 공정을 거쳐야 하기 때문에 생산성 면에서는 문제가 된다. 따라서 별도의 공정이 추가됨이 없이 설계면에서 단선에 의한 불량을 제거하는 방법이 요구된다.

또 박막 트랜지스터 액정 표시 장치의 각 화소에는 스위칭 소자로서 박막 트랜지스터가 연결되어 있으며 이들 박막 트랜지스터는 각 화소의 신호 전압을 기입하는 시간을 조절한다. 이들 스위칭 소자의 불량이 있을 경우 그 화소는 점 불량을 일으키게 된다. 그리고 이들 스위칭 소자와 화소 전극을 이루는 투명 도전막(ITO)이 좋은 접촉을 유지해야 하는데 접촉 저항이 크거나 접촉이 잘 이루어지지 않은 경우에도 불량이 생길 수 있다.

선결함을 방지하기 위하여 데이터선과 게이트선을 이중으로 형성하는 방법이 미국 특허 제4,368,523호에서 제시되었는데, 이에 의하면 데이터선과 게이트선을 쌍으로 형성하고 쌍을 이루는 각 데이터선과 게이트선들을 연결하여 단선으로 인한 결함을 방지한다.

한편, 동화상이나 곡선 형태의 표시에 적합한 화소 배열 구조로 델타(delta) 구조가 개발되었다. 델타 구조의 화소 배열은 각 화소를 반 피치(pitch)씩 어긋나게 배열하는 것이며, 이러한 구조를 갖는 경우 패턴이 부드럽게 형성되어 오디오 비주얼(AV ; audio-visual) 용도로 많이 사용되는 구조이다.

일반적인 델타 구조의 화소 배열을 갖는 박막 트랜지스터 기판의 평면도가 도 1에 나타나 있다.

도 1에 나타난 바와 같이, 가로 방향으로의 외부로부터 주사 신호를 전달하는 게이트선(10)이 형성되어 있고, 외부로부터의 화상 신호를 전달하는 데이터선(20)이 세로 방향으로 지그재그 구조로 형성되어 있다. 게이트선(10)과 데이터선(20)의 교차로 정의되는 화소 영역에는 ITO(indium tin oxide) 등의 투명 도전막으로 이루어진 화소 전극(30)이 형성되어 있다. 각 행의 화소는 인접하는 행의 화소와 반 피치씩 어긋나도록 배열되어 있다. 각 화소마다 화소 전극(30)을 스위칭하기 위한 박 트랜지스터(40)가 형성되어 있다.

이러한 델타 구조의 배열을 갖는 박막 트랜지스터 기판의 경우 데이터선의 단선에 대한 구제 구조가 없어 수율이 크게 떨어지는 원인이 된다.

발명이 이루고자하는 기술적 과제

본 발명의 과제는 박막 트랜지스터 액정 표시 장치에서 발생하는 화소 결함을 줄이고자 하는 것이다.

발명의 구성 및 작용

위와 같은 과제를 해결하기 위하여 본 발명에서는 하나의 화소에 한 쌍의 데이터선이 지나가도록 데이터선을 이중으로 형성하여 하나의 화소가 화소의 중심을 지나가는 데이터선에 의해 두 개의 부화소로 나뉘도록 하고, 쌍을 이루는 두 데이터선을 연결하는 연결 막대를 형성한다. 그리고, 박막 트랜지스터를 화소가 반 피치씩 어긋나는 구조를 갖도록 연결한다.

화소가 반 피치씩 어긋나는 구조를 갖게 하기 위해서는 쌍을 이루는 두 데이터선 사이의 부화소들은 두 데이터선 또는 두 데이터선의 연결 막대와 연결되어 있는 박막 트랜지스터를 통해 스위칭되도록 하고, 쌍을 이루는 두 데이터선 바깥쪽의 부화소들은 왼쪽과 오른쪽의 부화소가 데이터선을 따라 교대로 동일한 화상 신호를 받도록 박막 트랜지스터를 연결한다.

그리고, 이중 데이터선 구조를 갖는 박막 트랜지스터 기판에서 두 부화소 전극을 서로 연결하는 연결 부위를 형성하여 두 부화소 전극이 전기적으로 서로 연결되도록 한다.

두 부화소 전극의 연결 부위는 2개 이상 형성될 수 있으며, 화소 전극을 이루는 투명 도전막이나 게이트 금속 등을 사용하여 형성될 수 있다. 데이터선과 연결 부위와의 중첩 면적을 줄이기 위하여 연결 부위의 폭은 좁게 형성하는 것이 좋고, 10 - 20 μm 정도가 적당하다.

이제 본 발명의 실시예에 대하여 첨부한 도면을 참고로 하여 상세히 설명한다.

먼저 본 발명의 첫 번째 실시예에서는 델타(delta) 구조의 화소 배열에서 이중 데이터선을 갖는 구조를 제시한다.

도 2에 본 발명의 첫 번째 실시예에 따른 델타 구조의 화소 배열과 이중 데이터선을 갖는 박막 트랜지스터 기판의 평면도가 도시되어 있다.

도 2에 나타난 바와 같이, 가로 방향으로의 외부로부터 주사 신호를 전달하는 게이트선(100)이 형성되어 있고, 세로 방향으로 외부로부터 화상 신호를 전달하는 데이터선(210, 220)이 형성되어 있다. 데이터선(210, 220)은 종래 기술에 따른 델타 구조의 박막 트랜지스터 기판과 달리 직선으로 형성되어 있고, 두 개씩 쌍을 이루어 패드(500)에서 연결되어 동일한 화상 신호를 전달한다. 이들은 또한 두 데이터선(210, 220) 사이에 각 행당 1개씩 형성되어 있는 연결 막대(230, 240)를 통하여 서로 연결된다. 이러한 한 쌍의 데이터선에 의해 하나의 화소는 동일한 화상 신호가 인가되는 두 개의 부화소로 나누어지며 그 중 하나는 두 데이터선(210, 220) 사이에, 다른 하나는 두 데이터선(210, 220)의 바깥쪽에 위치한다. 이 중에서 바깥쪽에 위치하는 부화소는 열을 따라 왼쪽 데이터선의 왼쪽과 오른쪽 데이터선의 오른쪽에 교대로 배치되어 있다.

각 부화소는 데이터선에 연결되어 있는 박막 트랜지스터를 통하여 스위칭되는데, 쌍을 이루는 두 데이터선 사이의 부화소는 연결 막대에 연결되어 있는 박막 트랜지스터에 의해 스위칭되고, 바깥쪽의 부화소는 쌍을 이루는 두 데이터선 중 인접 데이터선과 연결되어 있는 박막 트랜지스터에 의하여 스위칭된다.

예를 들면 도 2에 나타난 바와 같이, 쌍을 이루는 두 데이터선 (210, 220) 사이에 형성되어 있는 연결 막대(230, 240)에 각각 박막 트랜지스터(430, 440)의 소스 전극이 연결되어 있고, 드레인 전극은 부화소 전극(330, 340)에 연결되어 있다. 두 데이터선(210, 220) 바깥쪽의 부화소 전극(310, 320)은 쌍을 이루는 두 데이터선(210, 220) 중 인접 데이터선에 소스 전극이 연결되어 있는 박막 트랜지스터(410, 420)의 드레인 전극과 연결되어 있다.

이렇게 하면, 각 행의 화소가 반 피치씩 어긋나게 같은 신호를 받는 배열이 만들어진다.

이와 같이 하나의 화소가 두 개의 부화소로 나뉘게 됨에 따라 전체적으로 개구율이 줄어들 수 있다. 그러나, 데이터선이 두 개로 나뉘어 있으므로 단일선으로 할 때에 비해 선폭을 반으로 줄이더라도 전체 저항은 동일하게 유지할 수 있으므로 데이터선의 폭을 줄임으로써 어느 정도 개구율의 감소를 줄일 수 있다. 그리고, 시야각 개선을 위하여 한 화소를 두 개의 부화소로 나누어 러빙 방법 등을 달리하는 방법을 채용하고자 하는 경우는 본 발명의 실시예에 따르면 자연스럽게 2개의 부화소를 제공하고 있어 이런 방법을 바로 적용할 수 있는 장점이 있다.

본 발명의 첫 번째 실시예에 따른 박막 트랜지스터 기판은 화소가 작을 때보다는 화소가 클 때 그 적용이 용이하며, 액정 표시 장치가 대면적화되면서 단선이 더욱 문제로 될 때 특히 유효하다.

본 발명의 두 번째 실시예에서는 이중 데이터선을 갖는 박막 트랜지스터 기판에서 점결합을 구제하기 위한 방법을 제시한다.

본 발명의 두 번째 실시예에 따른 박막 트랜지스터 기판의 구조가 도 3에 나타나 있다.

도 3에 나타난 바와 같이, 가로 방향으로의 외부로부터 주사 신호를 전달하는 게이트선(100)이 형성되어 있고, 세로 방향으로의 외부로부터 화상 신호를 전달하는 데이터선(210, 220)이 이중으로 형성되어 있다. 즉, 각 화소열 단위의

데이터선 외에 각 화소의 중심을 지나가는 데이터선이 더 형성되어 있다. 이 화소의 중심을 지나가는 데이터선에 의해 각각의 화소는 두 개씩의 부화소로 나뉘어 진다. 그리고, 이 데이터선은 돌췌 짝을 이루어 데이터선 연결 막대(230, 240)로 연결되어 있다. 데이터선 연결 막대(230, 240)는 행 단위로 하나씩 형성되어 있다. 각각의 부화소마다 부화소 전극(310, 320)이 형성되어 있으며, 이 부화소 전극(310, 320)을 스위칭하기 위한 박막 트랜지스터(410, 420)가 형성되어 있다.

두 부화소 전극(310, 320) 사이에는 도전 물질로 이루어진 연결 부위(600)가 형성되어 있고, 이를 통해 두 부화소 전극(310, 320)은 전기적으로 연결된다.

도 4는 도 3의 IV - IV'선을 따라 도시한 단면도이다. 이 경우는 화소 전극을 이루는 투명 도전막을 이용해 연결 부위를 형성한 구조를 나타내고 있다.

도 4에 나타난 바와 같이, 투명한 절연 기판(1) 위에 게이트 절연막(2)이 덮여 있고, 게이트 절연막(2) 위에 데이터선(220)이 형성되어 있다. 데이터선(220) 위에는 보호막(3)이 형성되어 있다. 그 위에 각 부화소 단위로 부화소 전극(310, 320)이 형성되어 있는데, 이 부화소 전극(310, 320)은 데이터선(220) 위를 지나가는 연결 부위(600)를 통해 전기적으로 연결된다.

그런데, 이와 같이 두 부화소 전극(310, 320)을 연결할 경우 투명 도전막으로 이루어진 연결 부위(600)가 데이터선(220)과 교차하게 되고 데이터선(220)과 투명 도전막(600) 사이에 절연막을 매개로 하는 기생 용량을 형성할 수 있다. 따라서, 데이터선과의 교차 면적은 최소가 되도록 설계하여야 한다. 연결 부위의 폭은 10 - 20 μm 정도가 적당하다.

이렇게 하면 하나의 화소 내의 두 박막 트랜지스터(410, 420) 중 하나의 박막 트랜지스터와 부화소 전극의 연결에 문제가 있어서 신호가 공급되지 않는 경우 다른쪽 부화소의 박막 트랜지스터를 통하여 공급받은 신호를 이 불량 화소에 공급할 수 있으므로 점결함을 없앨 수 있다.

도 5는 도 3의 박막 트랜지스터(410) 부분의 확대도이다.

도 5에 나타난 바와 같이, 부화소 전극(310)과 연결되어 있는 박막 트랜지스터(410)의 드레인 전극(411)과 게이트선(100)과 연결되어 있는 박막 트랜지스터(410)의 게이트 전극(101)의 전기적인 단락에 의해 점결함이 발생할 경우, 레이저 절단 방법으로 게이트 전극(101)을 게이트선(100)에서 분리시키거나 드레인 전극(411)과 화소 전극(310)과의 연결을 끊어주면 연결된 다른 부화소(320)의 스위칭 소자를 통하여 공급받은 신호를 이 부화소 전극(310)에 공급할 수 있으므로 점결함을 없앨 수 있다. 즉, 도 5의 (a) 부분 또는 (b) 부분의 연결을 끊어주면 된다.

연결 부위(600)는 두 개 이상 형성될 수도 있다. 연결 부위를 2개 이상 형성할 경우 하나의 연결 부위에 문제가 있어 연결이 되지 않을 경우에도 나머지 연결 부위에 의하여 연결이 되므로 결함 구제 기능을 더욱 향상시킬 수 있다.

또한 이 연결 부위는 투명 도전막 외에 게이트 금속 등의 다른 물질로 형성할 수도 있다.

도 6에는 게이트 금속을 이용해 연결 부위를 형성한 경우의 단면도가 도시되어 있다.

도 6에 나타난 바와 같이, 투명한 절연 기판(1) 위에 두 부화소를 연결하기 위한 연결 부위(610)가 형성되어 있다. 이 연결 부위는 게이트 패턴을 형성하는 공정에서 게이트 금속을 이용하여 함께 형성한다. 그 위에는 게이트 절연막(2)이 전면적으로 덮여 있고, 게이트 절연막 위에 데이터선(220)이 형성되어 있고, 데이터선(220) 위에는 보호막(3)이 형성되어 있다. 보호막에는 두 부화소 전극(310, 320)을 연결 부위(610)를 통해 연결해 주기 위해 연결 부위(610)를 노출시키는 두 개의 접촉 구멍이 형성되어 있다. 보호막(3) 상부에는 각 부화소 단위로 투명 도전막으로 이루어진 부화소 전극(310, 320)이 형성되어 있고, 하나의 화소를 구성하는 두 개의 부화소 전극(310, 320)은 보호막(3)에 형성되어 있는 접촉 구멍을 통해 연결 부위(610)와 접촉되어 서로 전기적으로 연결된다. 이 경우도 연결 부위(610)를 구성하는 게이트 금속과 데이터선(220) 금속 사이에서 기생 용량이 생길 수 있으므로 연결 부위의 폭은 최소화하여야 하며, 10 - 20 μm 정도가 좋다.

본 발명의 세 번째 실시예에서는 본 발명의 첫 번째 실시예에서와 같은 델타 구조의 화소 배열과 이중 데이터선을 갖는 박막 트랜지스터 기판에 본 발명의 두 번째 실시예에서와 같이 두 부화소 전극을 연결하는 연결 부위를 형성하는 방법을 제시한다.

본 발명의 세 번째 실시예에 따른 박막 트랜지스터 기판의 구조가 도 6에 나타나 있다.

박막 트랜지스터 기판의 다른 구조는 모두 본 발명의 첫 번째 실시예의 경우와 유사하다. 다만, 여기에서 두 부화소 전극(330, 320)을 본 발명의 두 번째 실시예에서와 같이 연결 부위(600)를 형성하여 연결해 준다. 연결 부위는 1개 이상 형성될 수 있으며, 루팅 도전막 이외의 다른 도전 물질을 이용할 수도 있고, 연결 부위와 데이터선의 중첩면적은 최소화되도록 설계되어야 하는 점 등은 본 발명의 두 번째 실시예의 경우와 유사하다.

발명의 효과

본 발명에서는 델타 구조의 박막 트랜지스터 기판에서 이중 데이터선을 갖는 구조를 채택하고 두 개의 부화소 전극을 서로 연결함으로써 화소의 선결합 및 점결합을 구제할 수 있다.

(57)청구의 범위

청구항1

절연 기판,

상기 기판 위에 형성되어 있는 게이트선,

상기 게이트선과 교차하며 각각 제1 데이터선 및 제2 데이터선으로 이루어진 다수의 데이터선 쌍,

상기 게이트선, 제1 데이터선 및 제2 데이터선의 교차로 정의되는 화소 영역의 안쪽에 형성되어 있는 화소 전극,

상기 제1 데이터선과 제2 데이터선을 연결하는 연결 막대를 포함하며,

하나의 데이터선 쌍을 이루는 상기 제1 데이터선과 제2 데이터선 사이의 임의의 화소 전극이 왼쪽으로 인접한 화소 전극과 쌍을 이루어 동일한 데이터 신호를 인가받으면, 상기 임의의 화소 전극과 아래위로 인접한 화소 전극은 오른쪽으로 인접한 화소 전극과 쌍을 이루어 동일한 데이터 신호를 인가받는 액정 표시 장치용 박막 트랜지스터 기판.

청구항2

제1항에서,

상기 연결 막대는 상기 데이터선 쌍을 이루는 제1 데이터선과 제2 데이터선 사이의 각 화소 영역에 1개씩 형성되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

청구항3

제2항에서,

상기 화소 전극을 스위칭하기 위한 박막 트랜지스터를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항4

제3항에서,

상기 제1 데이터선과 제2 데이터선 사이의 임의의 화소 전극은 상기 연결 막대에 연결되어 있는 박막 트랜지스터와 연결되어 있으며,

상기 임의의 화소 전극과 쌍을 이루는 화소 전극은 각각 상기 임의의 화소 전극과 쌍을 이루는 화소 전극 사이를 지나가는 데이터선에 연결되어 있는 박막 트랜지스터와 연결되어 있는 액정 표시 장치용 박막 트랜지스터 기판.

청구항5

제1항 내지 제4항 중 어느 한 항에서,

상기 쌍을 이루는 두 화소 전극을 연결하는 연결 부위를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항6

제5항에서,

상기 연결 부위는 2개 이상인 액정 표시 장치용 박막 트랜지스터 기판.

청구항7

제6항에서,

상기 연결 부위는 투명 도전막으로 이루어진 액정 표시 장치용 박막 트랜지스터 기판.

청구항8

제6항에서,

상기 연결 부위는 상기 게이트선을 이루는 금속과 동일한 금속으로 이루어진 액정 표시 장치용 박막 트랜지스터 기판.

청구항9

제6항에서,

상기 연결 부위의 폭은 10 - 20 μm 인 액정 표시 장치용 박막 트랜지스터 기판.

청구항10

절연 기판,

상기 기판 위에 형성되어 있는 게이트선,

상기 게이트선과 교차하며 쌍을 이루는 제1 데이터선 및 제2 데이터선,

상기 게이트선, 제1 데이터선 및 제2 데이터선의 교차로 정의되는 화소 영역의 안쪽에 형성되어 있는 화소 전극,

상기 쌍을 이루는 제1 데이터선과 제2 데이터선과 각각 연결되어 동일한 데이터 신호를 받는 한 쌍의 화소 전극을 연결하는 연결 부위를 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항11

제10항에서,

상기 화소 전극을 스위칭하기 위한 박막 트랜지스터를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항12

제11항에서,

상기 연결 부위는 2개 이상인 액정 표시 장치용 박막 트랜지스터 기판.

청구항13

제12항에서,

상기 연결 부위는 투명 도전막으로 이루어진 액정 표시 장치용 박막 트랜지스터 기판.

청구항14

제12항에서,

상기 연결 부위는 상기 게이트선을 이루는 금속과 동일한 금속으로 이루어진 액정 표시 장치용 박막 트랜지스터 기판.

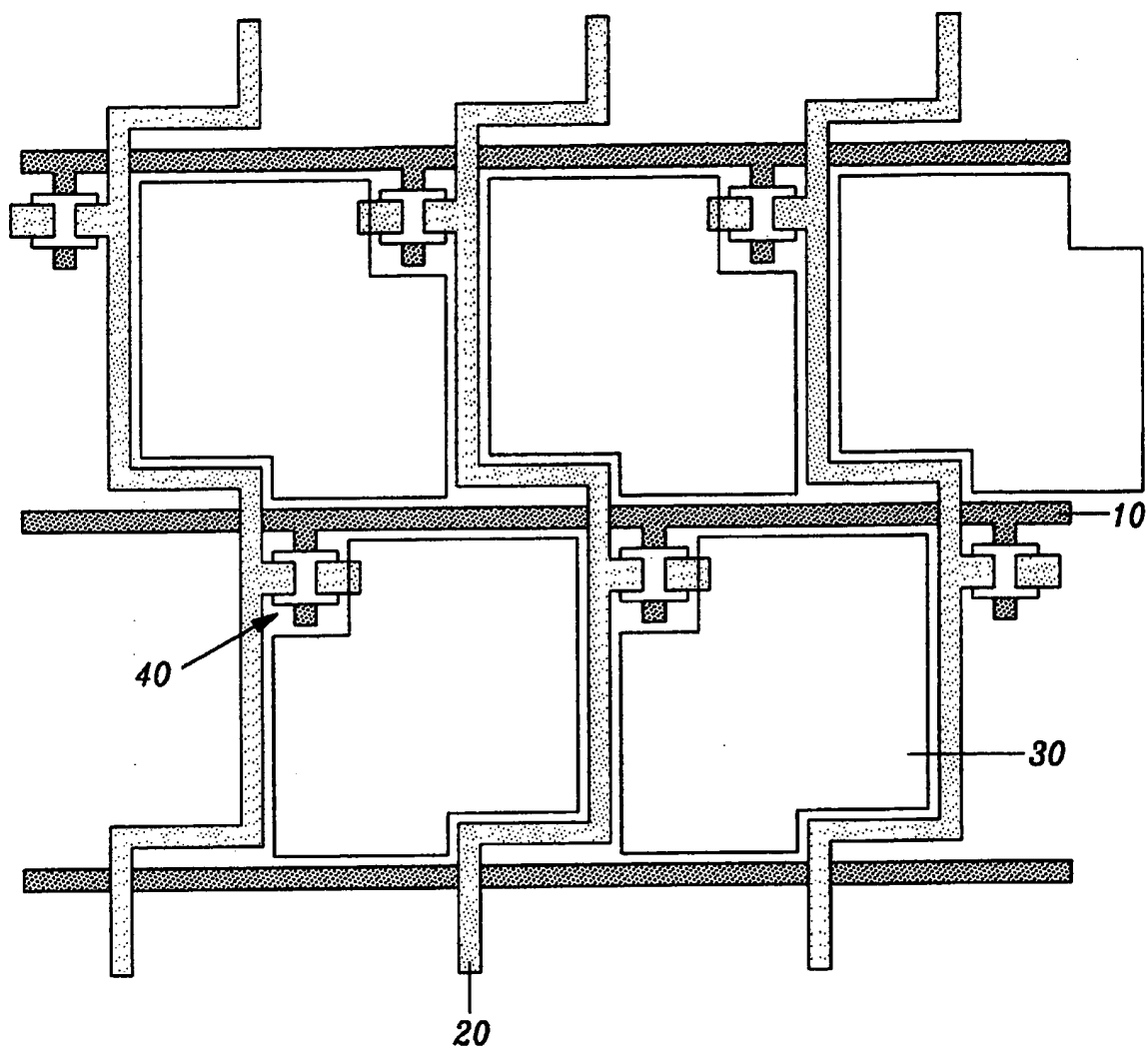
청구항15

제12항에서,

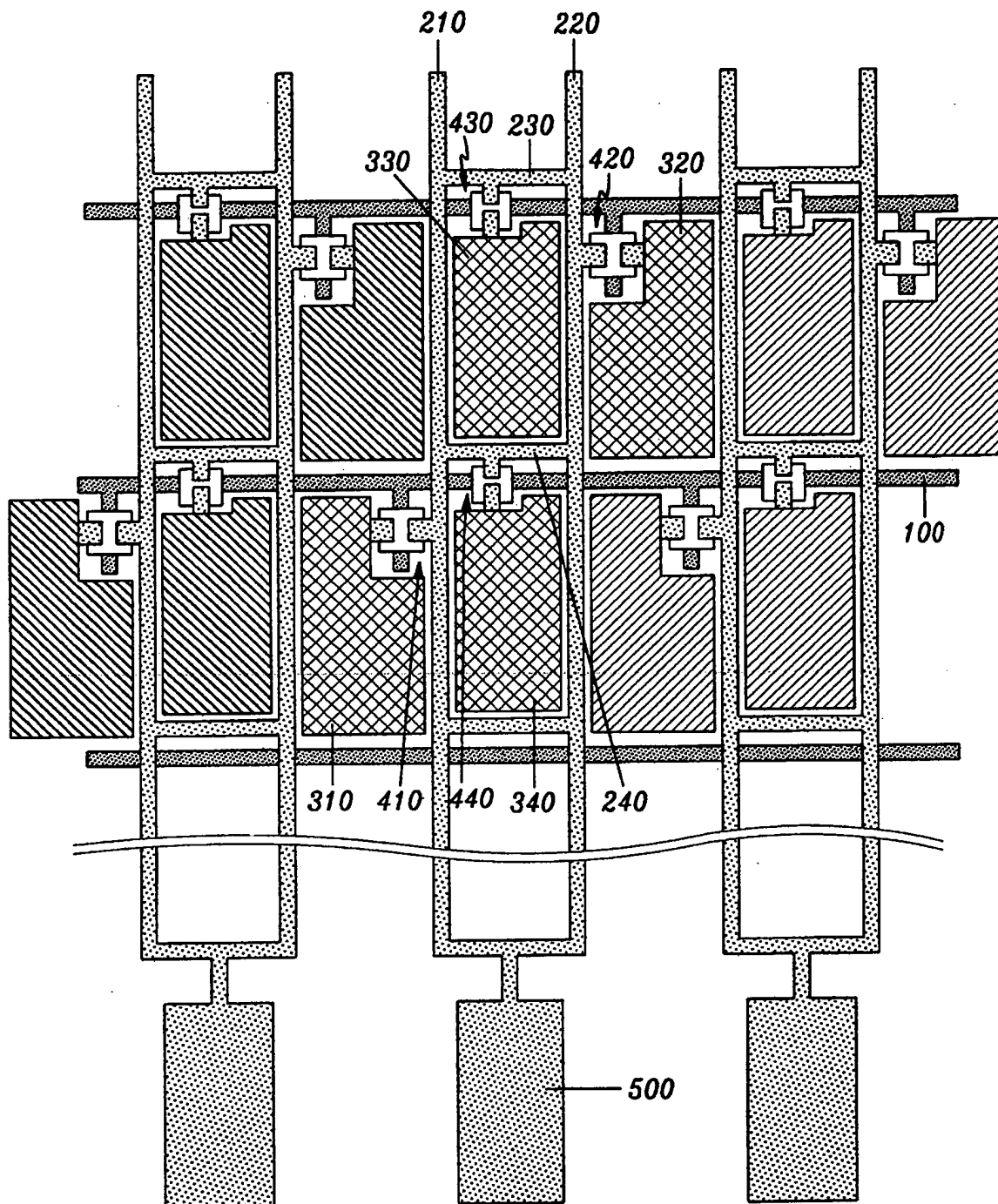
상기 연결 부위의 폭은 10 - 20 μm 인 액정 표시 장치용 박막 트랜지스터 기판.

도면

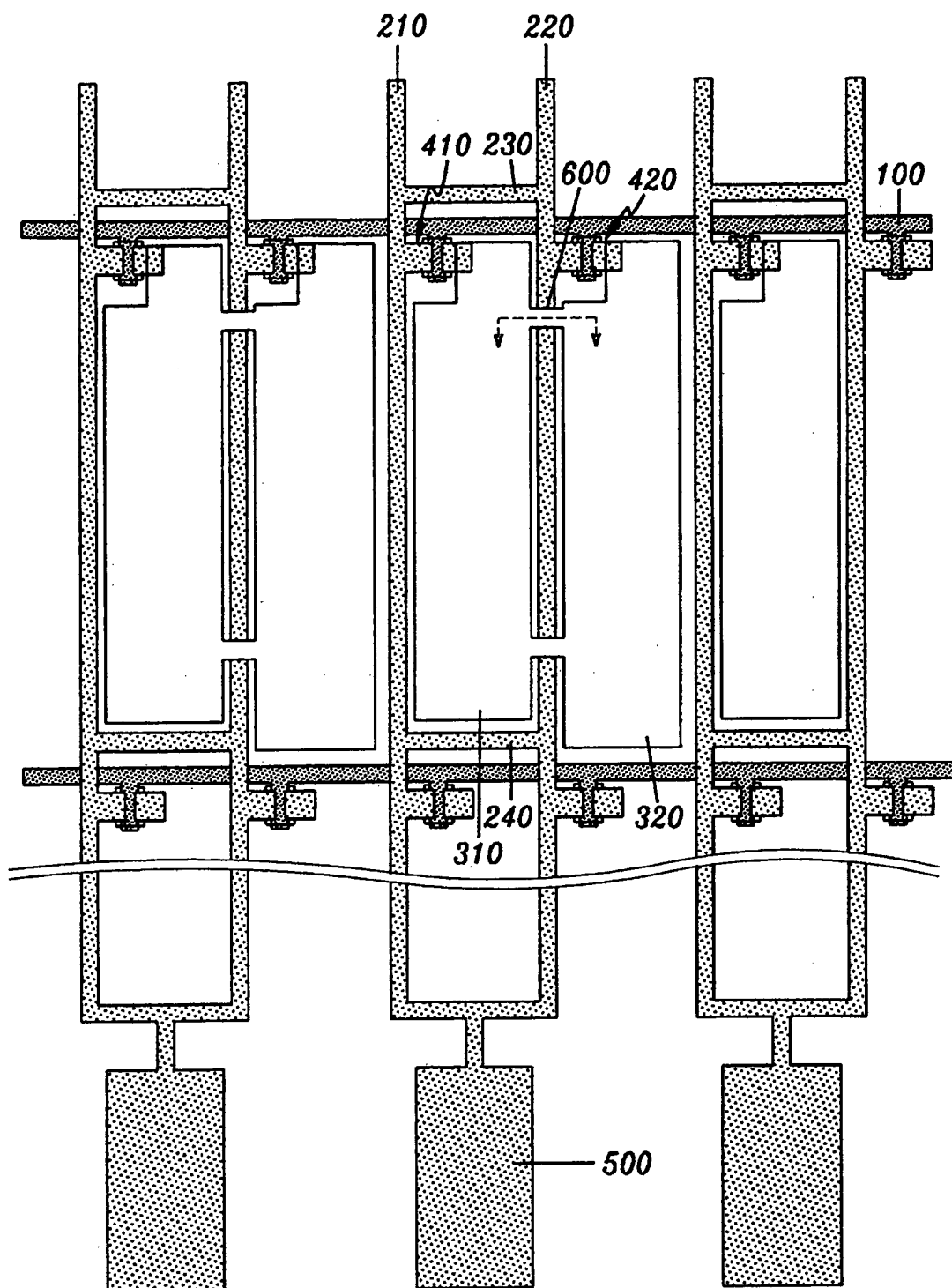
도면1



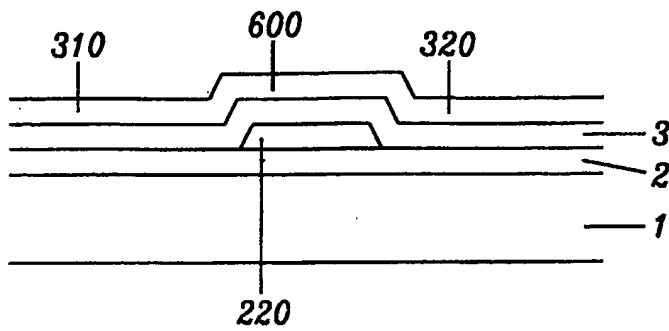
도면2



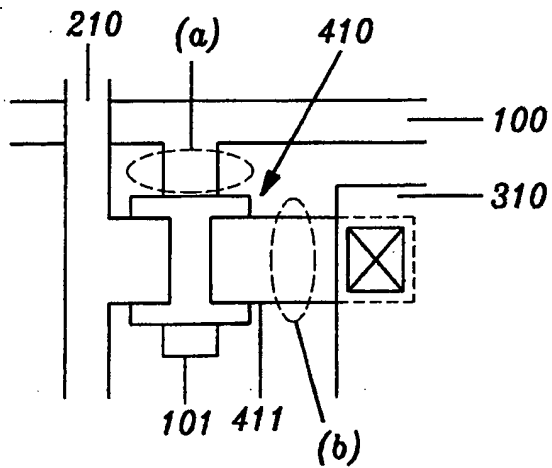
도면3



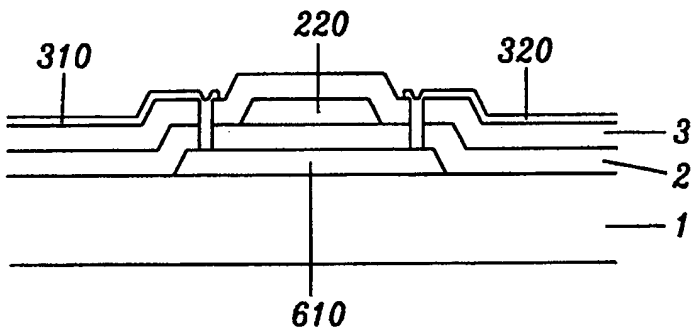
도면4



도면5



도면6



도면7

